



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05199107 A**

(43) Date of publication of application: **06.08.93**

(51) Int. Cl. H03L 7/08
H03L 7/00
H04L 7/033

(21) Application number: 04006751

(22) Date of filing: 17.01.92

(71) Applicant: **HITACHI LTD HITACHI COMPUT
ENG CORP LTD**

(72) Inventor: NAKAUCHI TOSHIHIKO
HIRAI MASATO
KURATA MASAMI

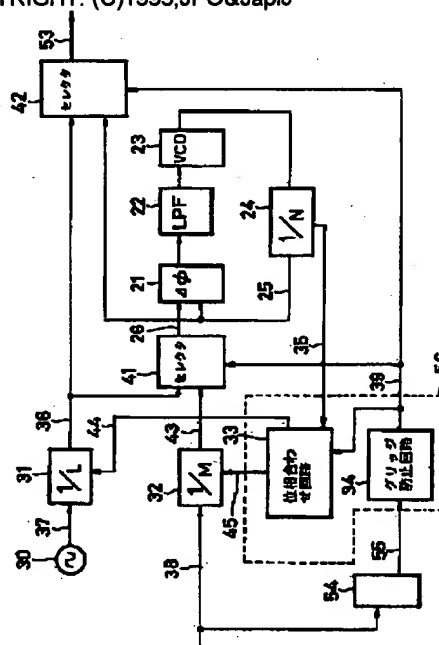
(54) PHASE CONTROL SYSTEM FOR SYSTEM CLOCK

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To attain quick phase synchronization by implementing phase control at the interruption or recovery of a system clock used to synchronize a public digital network and the entire nodes in a LAN.

CONSTITUTION: A PLL comprising a phase comparator 21, an LPF 22, a VCO 23 and a frequency divider is synchronized with an external clock 38 and a system clock 53 is formed in this system, and the system is provided with an internal clock oscillation source 30 used to supply the clock whose clock deviation is warranted at the interruption of the external clock. The system is provided with a system clock phase control circuit 56 which controls the phase of the system clock 53 when the system clock 53 is replaced with the internal clock from a PLL output clock or with the PLL output clock from the internal clock. Thus, a phase step caused at the system clock changeover at the interruption or recovery of the external clock is relaxed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-199107

(43) 公開日 平成5年(1993)8月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/08				
7/00	C	9182-5 J		
H 0 4 L 7/033				
		9182-5 J	H 0 3 L 7/08	G
		7928-5 K	H 0 4 L 7/02	B

審査請求 未請求 請求項の数5 (全 11 頁)

(21) 出願番号 特願平4-6751

(22) 出願日 平成4年(1992)1月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233011

日立コンピュータエンジニアリング株式会
社

神奈川県秦野市堀山下1番地

(72) 発明者 中内 敏彦

神奈川県秦野市堀山下1番地 株式会社日
立製作所神奈川工場内

(74) 代理人 弁理士 武 顕次郎

最終頁に続く

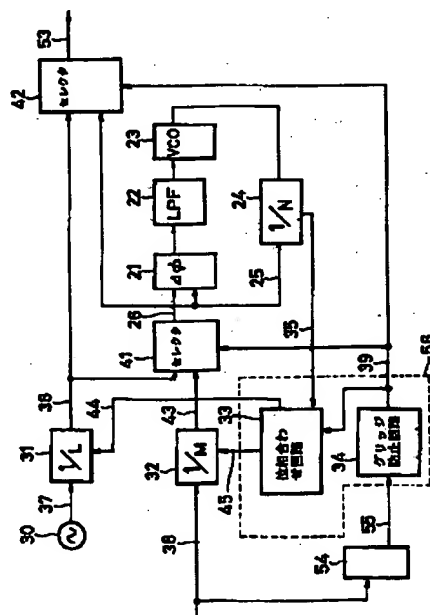
(54) 【発明の名称】 システムクロックの位相制御方式

(57) 【要約】

【目的】 公衆デジタル網とLAN内の各ノード全体の同期をとるシステムクロックにおいて、クロック遮断あるいは回復時に位相制御を行って位相同期をすみやかに行う。

【構成】 位相比較器21、LPF22、VCO23及び分周器から成るPLLを外部クロック38に同期させ、システムクロック53とするシステムであり、外部クロック遮断時にクロック偏差を保障したクロックを供給するための内部クロック発振源30を備え、システムクロックをPLL出力クロックから内部クロック、あるいは、内部クロックからPLL出力クロックに切り換えるとき、システムクロックの位相を制御するシステムクロック位相制御回路56が備えられる。

【効果】 外部クロック遮断あるいは回復時のシステムクロック切替時に生じる位相ステップを緩和することができる



1

【特許請求の範囲】

【請求項1】 位相比較器、ローパスフィルタ、電圧制御発振器、及び、分周器からなる位相同期ループを外部クロックに同期させ、システムクロック源とするシステムにおいて、システム内部のクロックを発生する内部基準発振器源と、前記内部クロックと前記位相同期ループの出力である外部クロックとを切り換えてこれらのクロックの一方をシステムクロックとして出力するセレクトと、システムクロックを位相同期ループ出力クロックから内部クロック、または、内部クロックから位相同期ループ出力クロックへ切り換えるときに位相の制御を行う位相制御回路とを備えることを特徴とするシステムクロックの位相制御方式。

【請求項2】 前記システムクロックを、外部クロックから内部クロックへ、あるいは、内部クロックから外部クロックに切り換えるとき、システムクロックにグリッジを出さないように制御する手段をさらに備えることを特徴とする請求項1記載のシステムクロックの位相制御方式。

【請求項3】 前記システム内部の基準発振源の後段に内部クロック分周器を、また、外部クロック入力後段に外部クロック分周器を備え、それらの出力が位相同期ループの位相比較器入力の前段のセレクトにより選択されて位相同期ループに入力されることを特徴とする請求項1または2記載のシステムクロックの位相制御方式。

【請求項4】 システムクロックとして位相同期ループの出力クロックを使用するとき、前記内部クロック分周器のカウンタを前記位相同期ループの分周器のカウンタに合わせる制御を行い、システムクロックとして内部クロック分周器の出力クロックを使用するとき、前記外部クロック分周器のカウンタを位相同期ループの分周器のカウンタに合わせる制御を行うことを特徴とする請求項3記載のシステムクロックの位相制御方式。

【請求項5】 システムクロックとして内部クロック分周器出力クロックを使用するとき、前記外部クロック分周器のカウンタを内部クロック分周器のカウンタにあわせる制御を行うことを特徴とする請求項3記載のシステムクロックの位相制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、外部クロックにシステムクロックを同期させる方式のシステムクロック源に係り、特に、外部クロックの遮断時、あるいは、回復時におけるシステムクロックの位相制御方式に関する。

【0002】

【従来の技術】 一般に、ローカルエリアネットワーク（以下、LANという）等のネットワークを、例えば、NTT等の公衆デジタル網に接続し、これらの間で同期を取るための従来技術として、外部からLANへ入力した外部クロックを、公衆デジタル網における高速デジ

2

ルインタフェースの1.544Mbps、LANにおけるPBXインタフェースの2.028Mbpsの最大公約数である8kHzまで分周して、位相同期ループ（以下、PLLという）によりLANのシステムクロック源と同期を取り、かつ、外部クロックの高周波ジッタ（クロックエッジのゆれ）を除去して、さらに、これを8kHzのクロック情報データとして各ノードに伝達する方式が一つの有効な手段として知られている。

【0003】 図6は前述で使用するPLLの構成の一例を示すブロック図である。図6において、21は位相比較器、22はローパスフィルタ（以下、LPFという）、23は電圧制御発振器（以下、VCOという）、24は分周回路である。

【0004】 第6図に示すPLLは、位相比較器21が外部網からのクロック38と分周回路出力のクロック（以下、PLL出力クロックという）25とを位相比較し、LPF22がその位相比較出力27を平滑化した電圧信号28に変換し、VCO23がLPF22の出力28により制御され、所定の周波数信号29を発振するよう動作する。

【0005】 VCO23は、LPF22の出力28の電圧に応じてその発振周波数を変化させる電圧制御型の発振器であり、VCO23の出力29の周波数が分周回路24により1/Nとされ、外部クロックが正常のときこのクロック25が、図示しないLANのシステムクロック源として利用される。

【0006】 前述のようなPLLにおいて、いま何等かの原因によりVCO23の出力周波数が変化すると、PLL出力クロック25の周波数も変化するが、この周波数変化が位相比較器21の出力27を減少させる方向に作用するため、徐々に外部網のクロック38とPLL出力クロック25の位相差が少なくなり両クロックを同期させることができる。なお、通常VCO出力29の周波数は外部網同期クロックのN倍（任意の整数倍）に設定される。

【0007】 図6に示すPLLは、外部網のクロック38がPLLに対する入力クロックであるため、この入力クロックが失われるとVCO23の出力29がVCO23自身の持つ自走周波数に落ち着くことになる。しかし、通常VCO23の自走周波数は、同期引込み時に比較して10%以上の偏差を持つ場合がある。このため、図示PLLは、PLL内の分周回路24の出力であるPLL出力クロック25が、10%以上の偏差を有することになり、このPLL出力クロック25をシステムのクロック源として使用することが困難である。

【0008】 一方、外部網からのクロック38が遮断された場合においても、LAN内の通信を維持したいというシステム側からの要求がある。従って、外部からのクロックが遮断された場合にも、システムのクロック源として、周波数偏差を保障したクロックを保持する必要が

ある。

【0009】このような要求を満たすことのできる従来技術として、例えば、特開平1-180151公報等に記載された技術が知られている。

【0010】図7はこの従来技術の構成を示すブロック図である。図7において、30は内部クロック基準発振器、41はセレクタ、54は外部クロック遮断検出回路であり、他の符号は図6の場合と同一である。

【0011】図7に示す従来技術は、図5により説明したPLLに、内部クロック基準発振器30と、外部クロック遮断検出回路54と、外部クロックと内部クロックとを切り換えるセレクタ41とを付加して構成したものである。

【0012】図7において、外部クロック38がなんらかの理由で遮断されると、外部クロック遮断検出回路54は、これを検出して、クロック遮断情報を位相比較器21の前段に接続されているセレクタ41に伝え、外部クロック38から内部クロック37への切り換えを行わせる。

【0013】図示従来技術は、これにより、外部クロックの遮断時に、PLLがクロック偏差の保障された内部クロック37に引き込むことにより、LAN内にクロック偏差の保障されたシステムクロックを供給することができる。また、この従来技術は、外部クロック源が回復したときに、外部クロック遮断検出回路54からのクロック回復情報により、位相比較器21の前段のセレクタ41を内部クロック37から外部クロック38へ切り換えることにより、LAN内のクロックを外部クロックに同期させることができる。

【0014】

【発明が解決しようとする課題】前述した従来技術は、外部クロック遮断時においてクロック偏差に関するクロック保護を行っているが、外部クロック38から内部クロック37、あるいは、内部クロック37から外部クロック38への切り換え時に、位相制御を行っていないため、最大180度の位相ステップが生じるという問題点を有している。

【0015】このため、前記従来技術は、LAN内の通信が、一時的に障害となる場合があり、LAN内の各ノードに收容されているあるシステム（装置）において、一時的に通信を行うことができなくなるという不具合を生じさせる場合があるという問題点を有している。特に、リアルタイム性が要求されるシステム（装置）に前記従来技術を適用した場合、前述の通信不能時間の影響が大きくなり、また、LANの規模が大きくなるほど、LAN内の各ノード数が多いので、これによる障害の波及が大きくなる。

【0016】本発明の目的は、前記従来技術の問題点を解決し、外部網のクロックが失われた場合、あるいは、外部網のクロック38が回復した場合、システムクロック

クの保持に、周波数のみならず位相の保持までも可能とするシステムクロックの位相制御方式を提供することにある。

【0017】

【課題を解決するための手段】本発明によれば前記目的は、外部クロック入力の後段、及び、内部クロック発振源の後段に分周器を備え、さらに、PLLへの入力クロックとして、外部クロック分周器出力クロックと内部クロック分周器出力クロックのいずれか一方を選択して切り換えるセレクタ、及び、LANのシステムクロック源の出力として、内部クロック分周器出力クロックとPLL出力クロックのいずれか一方を選択して切り換えるセレクタを備えることにより達成される。

【0018】

【作用】LANのシステムクロックとして、PLL出力クロックを使用する場合、内部クロック分周器をPLL出力クロックの周期でクリアすることによってPLL出力クロックと内部クロック分周器出力クロックとの位相差を少なくすることができる。これにより、PLL出力クロックから内部クロック分周器出力クロックに切り換えた時のシステムクロックの位相のゆれ（ステップ）を少なくすることができる。

【0019】一方、システムクロックとして、内部クロック分周器出力クロックを使用する場合、内部クロック分周器出力クロックと同期が取れていて、かつ、そのクロックとの位相差が少なく迎えられているPLL出力クロックの周期で外部クロック分周器をクリアすることにより、内部クロック分周器出力クロックと外部クロックとの位相差を少なくすることができる。これにより、内部クロック分周器出力クロックから外部クロックに切り換えたとき、PLLに入力されるクロックのゆれを少なくすることができ、PLLが位相変化後の位相に追従するための動作を小さくできるため、結局システムクロックの位相ゆれを少なくすることができる。

【0020】本発明によれば、前述により、PLL出力クロックから内部クロック分周器出力クロックへの切り換え時、及び、内部クロック分周器出力クロックからPLL出力クロック25への切り換え時、位相ゆれを少なくすることができるため、常時、周波数、位相の両方共に安定したシステムクロックを供給することが可能となる。

【0021】

【実施例】以下、本発明によるシステムクロックの位相制御方式の実施例を図面により詳細に説明する。

【0022】図1は本発明の一実施例の構成を示すブロック図、図2はグリッジ防止回路の構成を示すブロック図、図3は位相合わせ回路の構成を示すブロック図、図4はシステムクロック位相制御回路の動作を説明するタイムチャートである。図1～図3において、31は内部クロック分周器、32は外部クロック分周器、33は位

相合わせ回路、34はグリッジ防止回路、40、42はセクタ、46は位相ずれ検出回路、47は遮断信号の同期化回路、50、58は同期化回路、56はシステムクロック位相制御回路である。

【0023】図1に示す本発明の一実施例において、内部クロック分周器31は、分周カウンタにより内部クロック発振器30からのクロック（以下、内部クロックという）37を分周して、システムクロック保護用のクロック（以下、内部クロック分周器出力クロックという）36を生成する。外部クロック分周器32は、分周カウンタにより外部クロック供給元から供給された外部クロック38を分周し、PLLにより同期化した後システムクロックとなる周波数のクロックを生成する。

【0024】システムクロック出力を切り換えるセクタ42は、外部クロック38が供給されているとき、PLL出力クロック25をシステムクロックとして選択し、外部クロック38が遮断されているとき、内部クロック分周器出力クロック36をシステムクロックとして選択する。また、PLLに対する入力を切り換えるセクタ41は、外部クロック38が供給されているとき、PLL入力クロック26として、外部クロック分周器出力クロック43を選択する。

【0025】このため、図1に示す本発明の一実施例は、外部クロック38が供給されているとき、このクロックに同期し、かつ、高周波ジッタを除去したPLL出力クロック25をシステムクロック53として出力し、このシステムクロック53を図示しない各ノードに伝達することができ、LAN内の各ノードを外部網に対して同期させることができる。

【0026】一方、外部クロック38が遮断されたとき、セクタ41は、内部クロック分周器出力クロック36をPLL入力クロック26として選択し、PLLに対して周波数偏差の保障されたクロックを供給する。このため、PLL内のVCO23が自走発振することがなく、内部クロック分周器出力クロック36の周波数と同期して動作する。

【0027】このため、図1に示す本発明の一実施例は、外部クロック38の回復時、システムクロック出力を切り換えるセクタ42を、内部クロック分周器出力クロック36からPLL出力クロック25に切り換えても、PLLが外部クロックと同期が取れる間、一時的に周波数偏差の保障されないシステムクロックが各ノードに供給されことから保護することができる。

【0028】破線で示すシステムクロック位相制御回路56は、本発明により設けられたものであり、位相合わせ回路33と、グリッジ防止回路34とにより構成されている。グリッジ防止回路34は、システムクロック出力53をPLL出力クロック25から内部クロック36へ切り換えるとき、あるいは、内部クロック分周器出力クロック36からPLL出力クロック25へ切り換える

ときに、システムクロック53にグリッジを生じさせないように制御を行う。

【0029】また、位相合わせ回路33は、システムクロック53として、PLL出力クロック25を使用するときに、PLL出力クロック25と内部クロック分周器出力クロック36との位相合わせを行い、これらの2つのクロックの位相差を少なくしておくことにより、また、システムクロック53として、内部クロック分周器出力クロック36を使用するときに、PLL出力クロック25と外部クロック分周器出力クロック43との位相合わせを行って、これらの2つのクロックの位相差を少なくしておくことにより、セクタ42が、PLL出力クロック25から内部クロック分周器出力クロック36への切り換えを行うとき、あるいは、内部クロック分周器出力クロック36からPLL出力クロック25への切り換えを行うときのシステムクロック53の位相ゆれを少なくする制御を行う。

【0030】外部クロック遮断検出回路54は、外部クロック38が遮断されたとき、すみやかに外部クロック遮断検知信号55を遮断状態にする。これにより、システムクロック53は、PLL出力クロック25から内部クロック分周器出力クロック36に切り換えられることになる。この結果、図1に示す本発明の実施例は、外部クロック38の遮断によって、PLL内のVCO23が周波数偏差の保障されない自走発振状態になる前に、システムクロック53が周波数偏差の保障された内部クロック分周器出力クロック36に切り換わって、内部クロック分周器出力クロック36をシステムクロック53として、各ノードに供給することが可能となる。

【0031】また、外部クロック遮断検出回路54は、外部クロック38が回復したとき、位相合わせ回路33により外部クロック分周器出力クロック43が、PLL出力クロック25との位相同期が取れる間の時間を確保して、外部クロック遮断検知信号55をクロック供給状態にする制御をも行う。

【0032】次に、システムクロック位相制御回路56の中のグリッジ防止回路34の構成と動作を図2を参照して説明する。

【0033】グリッジ防止回路34は、遮断信号の同期化回路47と、位相ずれ検出回路47と、セクタ40とを備えて構成されている。遮断信号の同期化回路47は、外部クロック遮断検知信号55に対する同期化回路であり、システムクロック53にグリッジを出さない制御を行うため、外部クロック遮断検知信号55を内部クロック37に同期化して、システムクロック出力選択信号39を生成する。通常この回路は、フリップフロップにより構成される。

【0034】位相ずれ検出回路46は、PLL出力クロック25と外部クロック分周器出力クロック43との位相ずれ、あるいは、PLL出力クロック25と内部クロ

ック分周器出力クロック36との位相ずれを検出し、位相がずれている間システムクロック出力切り換え抑止信号48を切り換え抑止状態にする。セクタ40は、位相ずれ検出回路46に対する入力選択のセクタであり、このセクタの切り換え信号は、システムクロック出力選択信号39と同一である。

【0035】このため、セクタ40は、図1のセクタ42がシステムクロック53として、PLL出力クロック25を出力しているとき、位相ずれ検出回路46に対する入力信号50として、内部クロック分周回路出力クロック36を選択する。また、セクタ40は、図1のセクタ42がシステムクロック53として、内部クロック分周器出力クロック36を出力しているとき、位相ずれ検出回路46に対する入力信号50として、外部クロック分周器出力クロック43を選択する。

【0036】ANDゲート57は、外部クロック遮断検知信号55の同期化回路47のフリップフロップにタイミングパルス49の供給を制御するものであり、システムクロック出力切り換え抑止信号48が切り換え抑止状態の間、タイミングパルス49をストップさせることにより、システムクロック出力選択信号39が切り換わるのを防止している。

【0037】次に、システムクロック位相制御回路56の中の位相合わせ回路33の構成と動作を図3を参照して説明する。

【0038】位相合わせ回路33は、同期化回路50、58と分周器31、32のクリアを制御するANDゲート51、62により構成されている。同期化回路50は、PLL内の分周器24からの位相同期信号35を内部クロック37に同期化させる回路であり、システムクロック出力選択信号39が、システムクロック53としてPLL出力クロック25をセクタ42に選択させているときに、内部クロック分周器出力クロック36とPLL出力クロック25との位相合わせを行うために内部クロック分周器31のクリアを確実に行うための制御を行っている。

【0039】ANDゲート51は、内部クロック分周器31のクリア制御用のANDゲートであり、システムクロック出力選択信号39が、システムクロック53としてPLL出力クロック25をセクタ42に選択させているときに、同期化回路50からの同期化信号52とのAND条件が成立して、内部クロック分周器31にクリアパルスを供給する。

【0040】同期化回路58は、PLL内の分周器24からの位相同期信号35を外外部クロック38に同期化させる回路であり、システムクロック出力選択信号39が、システムクロック53として、内部クロック分周器出力クロック36をセクタ42に選択させているときに、外部クロック分周器出力クロック43とPLL出力クロック25との位相合わせを行うため、外部クロック

分周回路32のクリアを確実に行うための制御を行っている。

【0041】ANDゲート62は、外部クロック分周回路32のクリア制御用のANDゲートであり、システムクロック出力選択信号39が、システムクロック53として、内部クロック分周回路出力クロック36をセクタ42に選択させているときに、同期化回路58からの同期化信号とのAND条件が成立して、外部クロック分周器32にクリアパルスを供給する。

【0042】次に、前述のように構成されるシステムクロック位相制御回路56の動作を図4に示すタイムチャートを参照して説明する。このタイムチャートによる動作は、外部クロック遮断検出回路54が外部クロック38の遮断を検知してその遮断検知信号55を外外部クロック供給状態から遮断状態へ切り換え、かつ、その切り換えが、PLL出力クロック25と、内部クロック分周器出力クロック36との間に位相ずれが生じているときに生じた場合の回路動作である。

【0043】システムクロック位相制御回路56は、位相合わせ回路33により、2つのクロック間の位相合わせを行っているため、位相合わせ制御を行わない場合と比較して、2つのクロック相互間の位相ずれをかなり少なく抑えることができるが、同期化による遅延等によって位相差が生じるので、位相ずれをなくすことは、不可である。このため、この位相ずれが生じている間に、システムクロック出力選択信号39が切り換わると、システムクロック53にグリッジが発生する。

【0044】このグリッジにより、LAN内の各ノードに収容されているシステム（装置）に一時的な障害が発生する。システムクロック53が全てのノードに収容されているシステム（装置）のクロックとなるので、この障害は、LANの規模が大きくなる程、障害の波及が大きくなる。

【0045】このため、システムクロック位相制御回路56を位相合わせ回路33のみで構成した場合、図4に示すように、クロック遮断検知信号55とシステムクロック出力選択信号39との値が同じであるときに、クロック遮断検知信号55がクロックの遮断を検出した状態になると、システムクロック選択信号39は、破線の箇所で切り換えられてしまう。この結果、システムクロック53には、破線で示すグリッジが発生する。

【0046】本発明の実施例は、システムクロックの位相制御を確実に行うために、2つのクロック相互間の位相合わせ制御を行うと共に、グリッジの防止制御も行っている。

【0047】いま、PLL出力クロック25がハイレベルから、ローレベルに変わるとき、すなわち、PLL内の分周器24がクリアされて初期状態に戻るとき、PLL内の分周器24から、位相同期信号35として位相同期パルスが発生される。このパルスは、図3に示す同期

化回路50で、内部クロック37と同期した位相同期パルスに生成され、内部クロック分周器31をクリアする。その結果、内部クロック分周器出力クロック36は、ハイレベルからローレベルに変化する。この動作によって、2つのクロック相互間の位相合わせ制御が行われる。

【0048】また、内部クロック37と、NTT等の公衆デジタル網のクロックと同期したPLL出力クロック25との偏差は、かなりの精度が保障されているので、内部クロック分周器出力クロック36の周波数が、PLL出力クロック25の周波数よりも相当高い場合、内部クロック分周器クリア信号44として、クリアパルスが生成される前に、内部クロック分周器出力クロック36は、ハイレベルから、ローレベルに変わる不都合を生じることはない。

【0049】次に、PLL出力クロック25と内部クロック分周器出力クロック36とに位相ずれが生じている間に、外部クロック遮断検知信号55が、クロック供給状態（ハイレベル）から、遮断状態（ローレベル）に変化したものとする。この場合、図2に示す、位相ずれ検出回路46が位相ずれを検出して、システムクロック出力切換抑止信号48を切換抑止状態（ローレベル）にするので、外部クロック遮断検知信号同期化回路47内のフリップフロップへ供給するタイミングパルス49がストップする。

【0050】この結果、2つのクロック相互間に位相ずれが生じている間、システムクロック出力選択信号39の切り換えを抑止することができる。そして、内部クロック分周器出力クロック36がハイレベルから、ローレベルとなって、位相ずれがなくなったとき、システムクロック出力切換抑止信号48が、ハイレベルとなるので、外部クロック遮断検知信号同期化回路47内のフリップフロップへ供給するタイミングパルス49が生成される。これにより、切り換えが抑止されていた、システムクロック出力選択信号39が内部クロック37と同期して、ハイレベルからローレベルになることにより、システムクロック53は、PLL出力クロック25から、内部クロック分周器出力クロック36へ切り換えられる。

【0051】前述したように、本発明の一実施例は、これにより、2つのクロック相互間に位相ずれが生じている間、システムクロック出力選択信号39の切り換えを抑止して、システムクロック53にグリッジを生じさせずに、システムクロックの位相制御を確実に行うことができる。

【0052】一方、外部クロック38が回復して、外部クロック遮断検知信号55がクロック遮断状態（ローレベル）からクロック供給状態（ハイレベル）に切り換えられた場合、その動作は、図4に示すタイムチャートにおいて、内部クロック37を外部クロック38とし、内

部クロック分周器クリア信号44を外部クロック分周器クリア信号45とし、内部クロック分周器出力クロック36を外部クロック分周器出力クロック43として読み替えたタイムチャートで示すことができ、システム出力選択信号39が、ローレベルからハイレベルに切り換えられる。

【0053】システムクロック位相制御を行うための、2つのクロック間の位相合わせ制御、及び、グリッジ防止制御の動作は、前述の説明と同一である。

10 【0054】図5は本発明の他の実施例の構成を示すブロック図である。図5において、63は位相合わせ回路であり、他の符号は図1の場合と同一である。

【0055】この本発明の他の実施例は、システムクロック53として内部クロック分周器出力クロック36を使用する場合に、外部クロック分周器32のカウタを内部クロック分周器31のカウタに合わせることにより、内部クロック分周器出力クロック36と外部クロック分周器出力クロック43との位相合わせを行う制御を位相合わせ回路63により行うようにしたものである。

20 【0056】そして、この本発明の他の実施例において、システムクロックの位相制御を行うための2つのクロック相互間の位相合わせ制御、及び、グリッジ防止制御の動作は、前述の説明と同様に行われる。

【0057】

【発明の効果】以上説明したように本発明によれば、外部クロックが遮断されたときにおけるシステムクロックのPLL出力クロックから内部クロックへの切り換え、あるいは、外部クロックが回復したときにおけるシステムクロックの内部クロックからPLL出力クロックへの切り換えに、位相制御を行っているので、システムクロック切換時に生じる位相ステップを緩和することができ、LAN等のネットワーク内の通信に、通信不能等の一時的な障害を生じさせることを防止することができる。

【0058】また、システムクロック切換時にグリッジ防止制御を行っているので、位相制御を確実に行うことができる。

【図面の簡単な説明】

40 【図1】本発明の一実施例の構成を示すブロック図である。

【図2】グリッジ防止回路の構成を示すブロック図である。

【図3】位相合わせ回路の構成を示すブロック図である。

【図4】システムクロック位相制御回路の動作を説明するタイムチャートである。

【図5】本発明の他の実施例の構成を示すブロック図である。

【図6】PLLの構成の一例を示すブロック図である。

50 【図7】従来技術の構成を示すブロック図である。

3 3、6 3 位相合わせ回路

- ### 34 グリッジ防止回路

- 40~42 セレクタ

- #### 4.6 位相ずれ検出回路

- #### 47 遮断信号の同期化回路

- ## 50、58 同期化回路

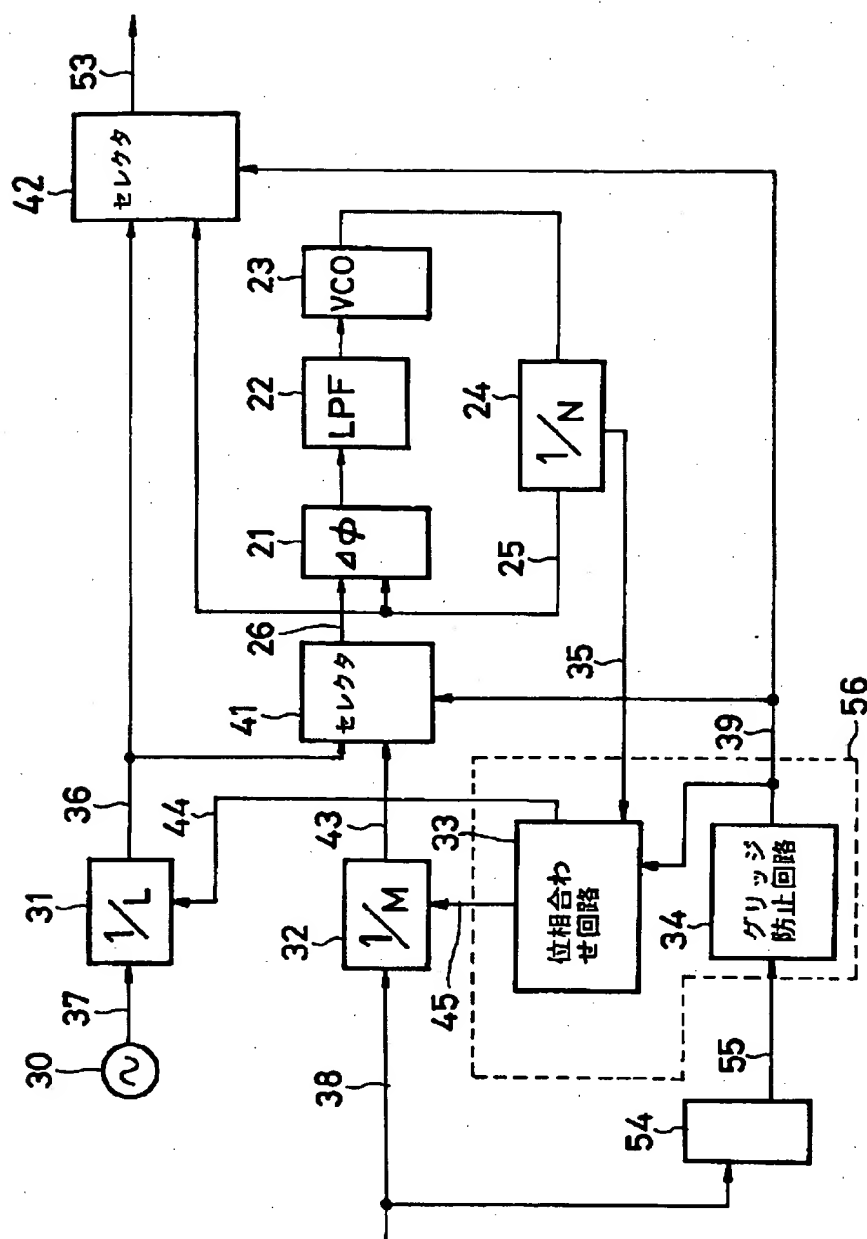
- #### 5.4 外部クロック遮断検出回路

- ## 56 システムクロック位相制御回路

【図 2】



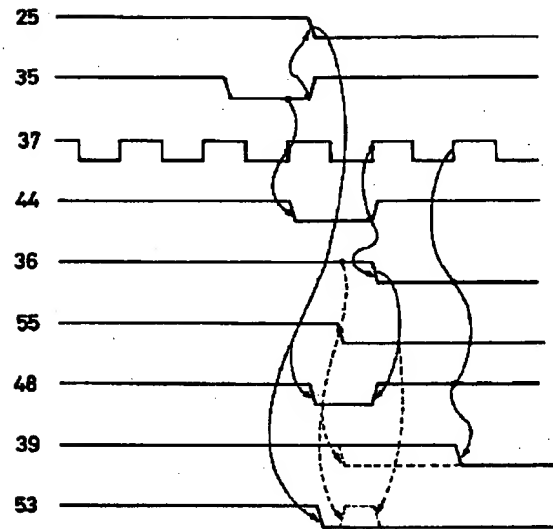
【図1】



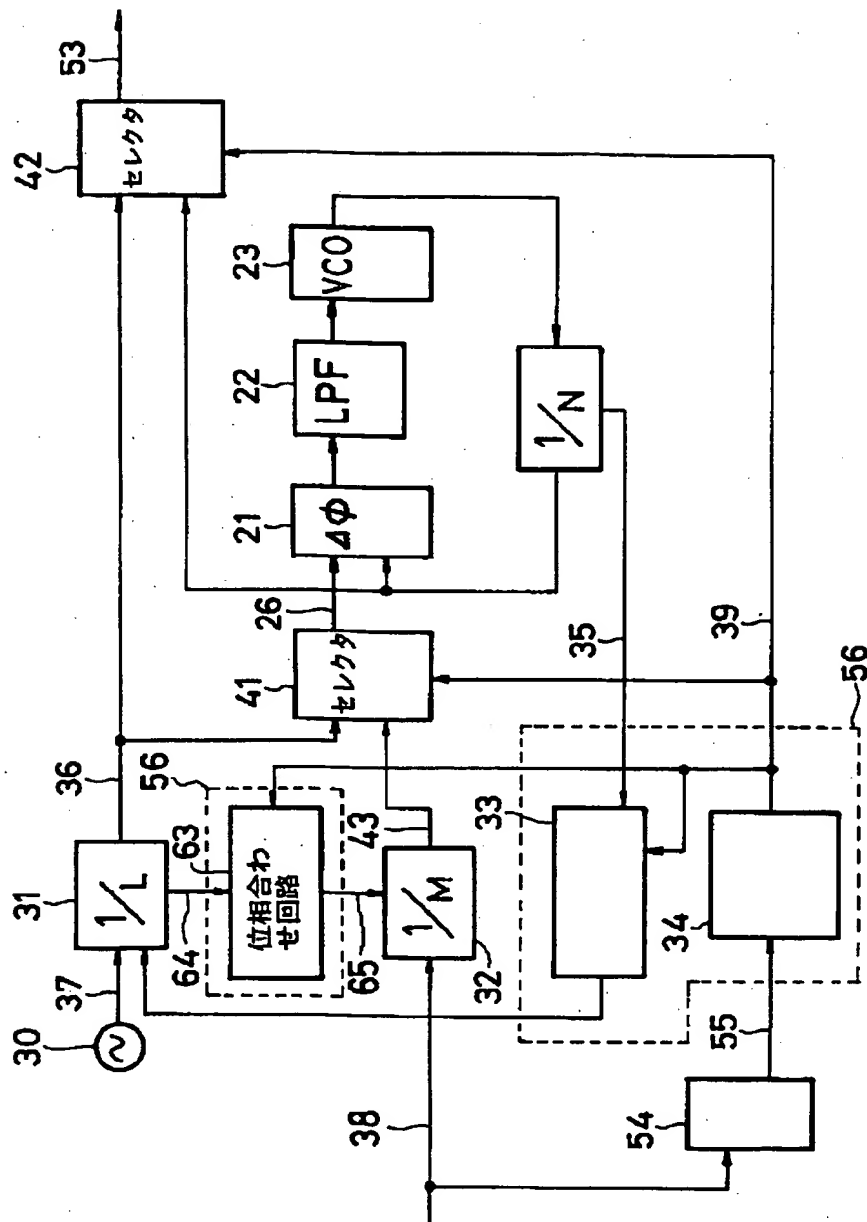
【図1】

【図4】

【図4】



【図5】



【図5】

フロントページの続き

(72)発明者 平井 正人
 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

(72)発明者 倉田 雅美
 神奈川県秦野市堀山下1番地 日立コンピュータエンジニアリング株式会社内